



# Firmware pro vysílače řady MWT pro provoz v digitálním módu DRM

Gotthans, T., Šebesta, J.

FEKT-S-14-2177 – Perspektivní komunikační systémy (PEKOS)

LO1401– Interdisciplinární výzkum bezdrátových technologií (INWITE)

ED2.1.00/03.0072 - Centrum senzorických, informačních a komunikačních systémů (SIX), Výzkum a Vývoj pro Inovace.

**Datum: 2015-04-30**

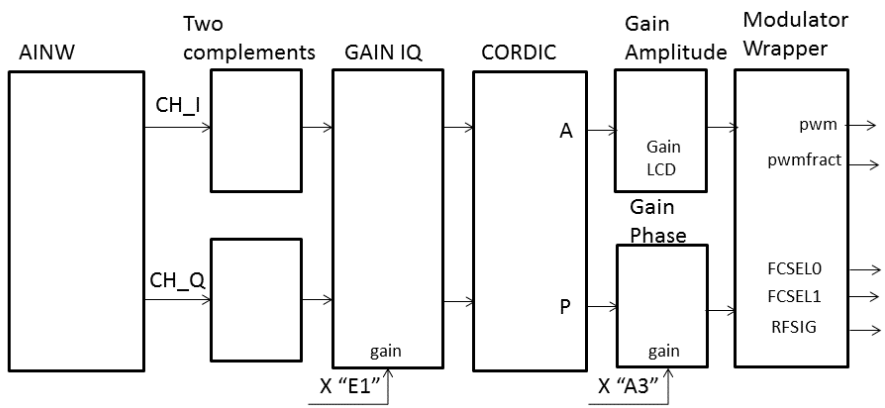
**Abstrakt** – Tento firmware vznikl z požadavku na splnění atributu „DRM ready“ vysílače s návazností na úpravy a implementaci ve stávajících AM vysílačích řady MWT pro pásmo SV pracujících ve třídě E/D, které jsou ve stávající verzi připraveny pro provoz AM. Firmware byl vytvořen v jazyku VHDL pro FPGA Spartan 6. Připravený datový signál s DRM obsahem je na vstupu navzorkován do kanálů I a Q (audiokanály R a L). Dále byl pomocí jádra CORDIC převeden na Amplitudu (A) a Fázi (P). V zesilovacích blocích je provedena linearizace výkonového zesilovače (to znamená korekce A a P). Dále je signál zpracován do formy širkově modulovaných pulzů (PWM) a fázově modulovaného nosného kmitočtu. Vývoj firmware byl proveden pro firmu MarCon spol. s.r.o., nový firmware bude součástí distribuce vysílače MWT1 až MWT10 s digitálním módem DRM-A až DRM-D.

```

C:\Users\Gethard\Desktop\Modulator_Wrapper\hdl\topgen...
VHDL Hardware Description Language File

25 SIGNAL Fase_Data_1 : STD_LOGIC_VECTOR(15) := B"0000000000000000";
26 SIGNAL ABS_Data_1 : STD_LOGIC_VECTOR(15) := B"0000000000000000";
27 SIGNAL Fase_Out_1 : STD_LOGIC_VECTOR(15);
28 SIGNAL DUTY : STD_LOGIC_VECTOR(15) := B"0000000000000000";
29 SIGNAL FCSEL1_1 : STD_LOGIC;
30 SIGNAL FCSEL2_1 : STD_LOGIC;
31 SIGNAL FCSEL3_1 : STD_LOGIC;
32 SIGNAL FCSEL4_1 : STD_LOGIC;
33 signal pwmFract_1 : STD_LOGIC_VECTOR(15);
34
35 COMPONENT sig_gen
36 PORT
37 clk : IN STD_LOGIC;
38 reset : IN STD_LOGIC;
39 phase : IN STD_LOGIC_VECTOR(15) := B"0000000000000000";
40 fase : IN STD_LOGIC_VECTOR(15) := B"0000000000000000";
41 fout1 : OUT STD_LOGIC;
42 fout2 : OUT STD_LOGIC;
43 fout3 : OUT STD_LOGIC;
44 fout4 : OUT STD_LOGIC;
45 load : IN STD_LOGIC;
46 sig_gen_P : out STD_LOGIC_VECTOR(15) := B"0000000000000000";
47
48 END COMPONENT;
49
50 COMPONENT pwrctrl
51 PORT
52 clk : IN STD_LOGIC;
53 reset : IN STD_LOGIC;
54 abs : IN STD_LOGIC_VECTOR(15) := B"0000000000000000";
55 load : IN STD_LOGIC;
56 loadb : IN STD_LOGIC;
57 loadst : IN STD_LOGIC;
58 wr : IN STD_LOGIC_VECTOR(15) := B"0000000000000000";
59 abs1 : IN STD_LOGIC_VECTOR(15) := B"0000000000000000";
60 abs2 : IN STD_LOGIC_VECTOR(15) := B"0000000000000000";
61 abs3 : IN STD_LOGIC_VECTOR(15) := B"0000000000000000";
62 abs4 : IN STD_LOGIC_VECTOR(15) := B"0000000000000000";
63 pwm : OUT STD_LOGIC;
64 pwmFract : OUT STD_LOGIC_VECTOR(15) := B"0000000000000000";
65
66 END COMPONENT;
67
68 begin
69 process (clk)
70 begin
71 if (rising_edge(clk)) then
72 if ((to_integer(unsigned(ABS_Data_1)) > 0) THEN
73 ABS_Data_1 <= abs_data;
74 Fase_Data_1 <= fase_data;
75 else
76 ABS_Data_1 <= x"000000";
77 Fase_Data_1 <= x"000000";
78 end if;
79 end if;
80 end process;
81
82 sig_gen_P <= Fase_Data_1;
83
84 sig_gen <= sig_gen;
85
86 pwrctrl <= pwrctrl;
87
88 ABS_Data_1 <= ABS_Data_1;
89 Fase_Data_1 <= Fase_Data_1;
90
91 end topgen;

```



Blokové schéma VHDL implementace DRM vysílače (nahore), část kódu ve VHDL (vlevo), blok modulátoru a wrapperu (dole) a spektrum DRM-A signálu (OFDM) na výstupu vysílače (vlevo dole)

